

文章编号: 1007- 2985(2009)04- 0065- 04

基于 FPGA+ DSP 的高速数据采集系统设计^{*}

杨永东, 曾庆立

(吉首大学物理科学与信息工程学院, 湖南 吉首 416000)

摘 要: 介绍了 1 种基于 FPGA 和 DSP 的高速数据采集系统的设计和实现, 其 FPGA 采用 Altera 公司 ACEX 1K 系列的 EPIK50TC144_3 器件, DSP 芯片采用 TI 公司 TMS320 系列的 TMS320C6713 器件. 该系统将 A/D 采样的数据送往 FPGA, 经过 FPGA 预处理后送到 DSP, 最终通过 USB 接口送到主控台, 其系统的数据采集的实时速度最高可达到 100 MB/s, 适用于大部分的高速数据采集场合.

关键词: 高速数据采集; FPGA; DSP; AD9446

中图分类号: TP29

文献标识码: A

随着现代测试技术的发展, 要求能够对各类微弱信号、高频信号以及复杂信号进行快速、精确的测量、记录和处理, 对数据采集系统的采样速率、精度、存储量、处理速度等提出了越来越高的要求. 高速数据采集系统广泛应用于图像信号采集、雷达、通信、遥测遥感、医学成像等技术领域. 以 MCU 为控制器的数据采集系统中, 数据采集频率直接受到 MCU 速度的限制. 以 FPGA/CPLD 为代表的可编程逻辑器件以其工作稳定、速度快、灵活的可编程能力等特点越来越受到人们的广泛应用.^[1]

笔者设计了 1 种基于 Altera 公司的 ACEX 1K 系列 FPGA 器件 EPIK50TC144_3 和 TI 公司 TMS320 系列 DSP 器件 TMS320C6713 的数据采集系统, 其中高速 A/D 采样器件采用了 AD 公司的 AD9446, 实现了高速数据采集、处理和传输.

1 系统总体设计

数据采集系统硬件原理框图如图 1 所示, 由图 1 可知: 信号调理电路对输入信号进行预处理, 处理后的模拟信号通过 A/D 转换器进行模数转换, FPGA 一方面控制 A/D 转换的时序, 另一方面预处理、暂存及传送转换后的数字信号, 数字信号送入 DSP 做相应的算法处理, 处理后结果可通过 LCD 显示, 也可通过 USB 传输到 PC 机.

1.1 FPGA 芯片

本设计中 FPGA 选用 Altera 公司的 ACEX 1K 系列器件 EPIK50TC144_3.^[2] FPGA 在高速数据采集方面有单片机和 DSP 无法比拟的优势: 时钟频率高, 内部时延小; 全部控制逻辑由硬件完成, 速度快, 效率高; 组成形式灵活, 可以集成外围控制、译码和接口电路. 在本系统中, FPGA 主要实现以下几个功能: 对 A/D 的控制、底层信号预处理、数字信号暂存、与 DSP 进行接口. 底层的信号预处理算法要处理的数据量大, 对处理速度要求高, 但算法结构简单, 适用于 FPGA 进行硬件编程实现. 经过底层预处理之后的数据送往 FPGA 内部的 FIFO, 由 DSP 通过 EMIFA 口以 EDMA 的方式读取, 然后进行处理.^[3]

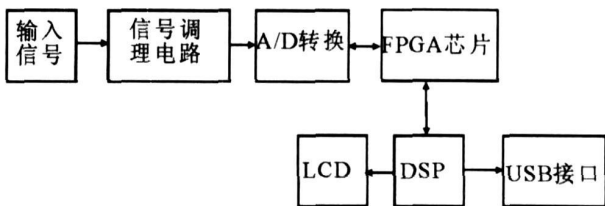


图 1 系统硬件原理框图

^{*} 收稿日期: 2009- 05- 01

作者简介: 杨永东(1966-), 男, 湖南古丈人, 吉首大学物理科学与信息工程学院高级实验师, 主要从事电路与系统研究.

1. 2 DSP 芯片

本设计中 DSP 选用了美国德州仪器(TI)公司推出的 TMS320LF2407A 数字信号处理器, 这款 DSP 通过把 1 个高性能的 DSP 内核和微处理器的片内外设集成为 1 个芯片的方案, 使得其成为传统的微控制单元(MCU)和昂贵的多片设计的 1 种廉价的替代产品. 它将 TI 公司的高性能 16 位 DSP 核 C2xLP 和丰富的功能外设电路集成在单个芯片上, 为设计小体积、低功耗、高可靠性、高性能的控制系统提供了方便, 同时也使系统的整体成本大大降低, TMS320LF2407A 体系结构如图 2 所示. DSP 的控制主要针对接口管理、数据上传、系统状态设定、中断处理等, 这些控制对时间的要求没有 FPGA 实现的采样数据存储控制那么高, 但是 DSP 强大的数字信号处理和控制功能可以方便地实现一些 FPGA 难以实现的功能. 目前的 DSP 芯片价格并不贵, 与高性能单片机相比有着良好的性价比, 适于做高速数据采集系统控制芯片.^[4]

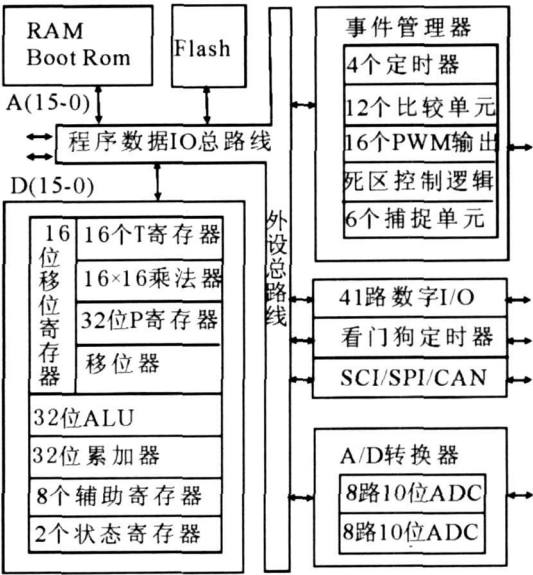


图 2 TMS320LF2407A 体系结构图

2 单元电路设计

2. 1 信号调理电路

在数据采集系统中信号调理电路的主要作用是实现对信号的放大、衰减以及阻抗匹配, 使输入信号满足 A/D 转换器的幅度要求, 同时也扩大了输入信号的幅度范围. 模拟信号处理是影响系统性能的重要因素之一, 设计时必须考虑 2 个方面: 保证信号质量, 提高信噪比, 尽量减少畸变; 将信号变换成适合 A/D 处理的幅度并提供足够的驱动能力. 笔者选用了 AD 公司生产的高精度、低噪音、低输入偏置电流场效应放大器 AD8610 和 AD8620, 它们都具有超低的失调电压和漂移、极低的输入电压及电流噪声、低输入偏置电流以及很宽的带宽. 具体电路如图 3 所示, 图中 $R_1, R_2, R_3, R_4, R_5, R_7, R_8, R_9, R_{12}=1\text{ k}\Omega, R_6=10\text{ k}\Omega, R_{10}=R_{11}=50\text{ }\Omega$.

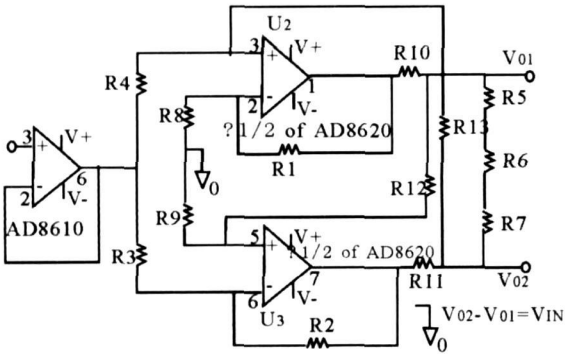


图 3 信号调理电路

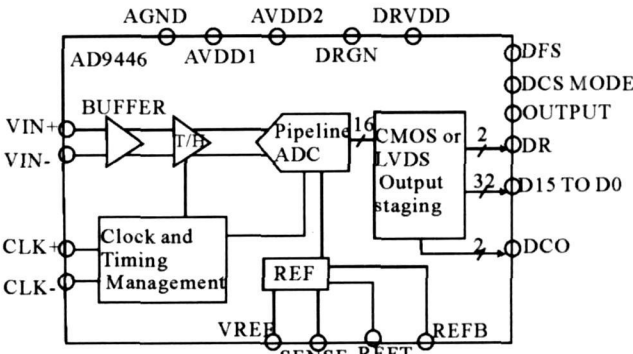


图 4 AD9446 功能方框图

2. 2 A/D 转换电路

AD9446 是一种 16 bit ADC, 它具有 100 M sps 的采样率, 同时集成有高性能采样保持器和参考电压源. 由于 AD9446 的并行低电压差分信号(LVDS) 输出中包括 1 个输出时钟信号, 所以可简化连接到数字处理器的接口, 同时能降低数字噪声耦合到 ADC 内核的可能性. 笔者采用 100 引脚 TQFP/EP 塑料表面贴装无铅封装的 D9446, 具体功能方框图如图 4 所示. AD9446 芯片的控制时序与传统的低速 AD 有所不同, 它完全依靠时钟来控制其采样、转换和数据输出, 通常在 CLK+ 第 1 个时钟的上升沿开始采样转换,

并在经过 t_{pd} 后开始输出数据. 而数据则在第 12 个时钟到来时才出现在 D15~ D0 端口上. 图 5 所示是 AD9446 工作在 CMOS 模式下的时序图, 该器件工作在 LVDS 模式下的时序与之类似.

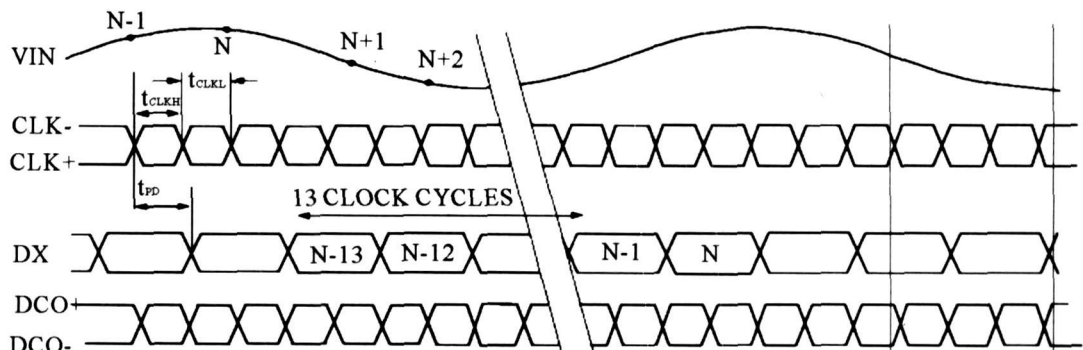


图 5 AD9446 工作在 CMOS 模式下的时序图

2. 3 USB 接口电路

USB 目前已逐渐成为现代数据传输的发展趋势, 它为多点数据采集提供了很大的便利, 利用 USB 可以实现较传统方式更有效、更经济、点数更多的数据采集. 它支持 3 种信道速度, 其中 USB2.0 的高速传输速率可达到 480 Mb/s; 能够采用总线供电, 不需外接电源; 有 4 种传输模式: 控制传输、同步传输、中断传输、批量传输, 以适应不同设备的需要; 通过使用 Hub 扩展可接多达 127 个外设, 通过 Hub 或中继器可以使外设距离达到 30 m. 此外还具有低成本、低功耗、容易使用的优点. 本设计所使用的 ISP1581 是一种价格低、功能强的高速通用串行总线(USB)接口器件, 它完全符合 USB 2.0 规范, ISP1581 与系统的微控制器/微处理器的通信是通过 1 个高速的通用并行接口来实现的, 并且支持高速 USB 系统的自动检测.

3 软件设计

软件设计包括 FPGA 的软件设计和 DSP 的软件设计(DSP 软件设计在此不再叙述). FPGA 的软件设计借助 Quartus II 6. 0 软件平台, 用 VHDL 硬件描述语言进行编程, 程序共分 3 个部分: AD9446 控制模块; 底层预处理模块; FIFO 存储模块. 其中 FIFO 存储模块是使用参数化兆功能模块 LPM_FIFO 实现的, ^[5] 其 RTL 图如图 6 所示. 其中: clock: 时钟输入; data: 数据输入; rdreq: 读信号; wrreq: 写信号; Empty: 空标志; full: 满标志; q: 数据输出; usedw: 存贮空间.

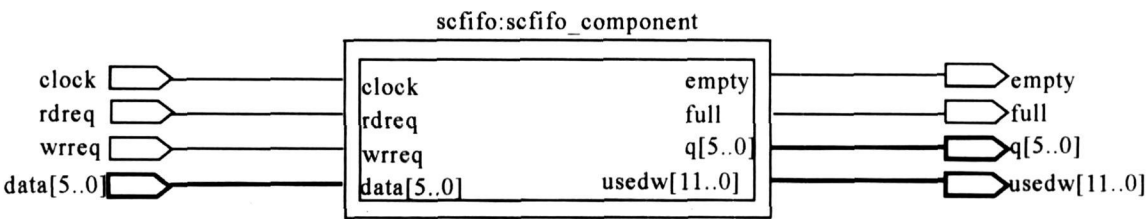


图 6 FIFO 存储模块 RTL 图

FIFO 存储模块 VHDL 源程序:

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;
LIBRARY altera_mf;
USE altera_mf.altera_mf_components.all;
ENTITY my_fifo IS
PORT( clock: IN STD_LOGIC;
data: IN STD_LOGIC_VECTOR ( 15 DOWNTO 0 );
rdreq: IN STD_LOGIC;
wrreq: IN STD_LOGIC;
empty: OUT STD_LOGIC;
full: OUT STD_LOGIC;
q: OUT STD_LOGIC_VECTOR ( 15 DOWNTO 0 );
usedw: OUT STD_LOGIC_VECTOR ( 11 DOWNTO 0 ));
END my_fifo;
ARCHITECTURE SYN OF my_fifo IS
SIGNAL sub_wire0: STD_LOGIC_VECTOR ( 11 DOWNTO 0 );
SIGNAL sub_wire1: STD_LOGIC;
SIGNAL sub_wire2: STD_LOGIC_VECTOR ( 15 DOWNTO 0 );
SIGNAL sub_wire3: STD_LOGIC;
COMPONENT scfifo
```

```

GENERIC (
intended_device_family: STRING;
lpm_numwords: NATURAL;
lpm_showahead: STRING;
lpm_type: STRING;
lpm_width: NATURAL;
lpm_widthu: NATURAL;
overflow_checking: STRING;
underflow_checking: STRING;
use_eab: STRING
);
PORT (
usedw: OUT STD_LOGIC_VECTOR (11 DOWNT0 0);
rdreq: IN STD_LOGIC;
empty: OUT STD_LOGIC;
clock: IN STD_LOGIC;
q: OUT STD_LOGIC_VECTOR (15 DOWNT0 0);
wrreq: IN STD_LOGIC;
data: IN STD_LOGIC_VECTOR (15 DOWNT0 0);
full: OUT STD_LOGIC
);
END COMPONENT;
BEGIN
usedw <= sub_wire0(11 DOWNT0 0);
empty <= sub_wire1;
q <= sub_wire2(15 DOWNT0 0);
full <= sub_wire3;
scfifo_component: scfifo
GENERIC MAP (
intended_device_family => "ACEX1K",
lpm_numwords => 4096,
lpm_showahead => "OFF",
lpm_type => "scfifo",
lpm_width => 16,
lpm_widthu => 12,
overflow_checking => "ON",
underflow_checking => "ON",
use_eab => "ON"
)
PORT MAP (
rdreq => rdreq,
clock => clock,
wrreq => wrreq,
data => data,
usedw => sub_wire0,
empty => sub_wire1,
q => sub_wire2,
full => sub_wire3
);
END SYN;

```

4 结语

提出了1种基于FPGA和DSP的高速数据采集设计方案,并给出了具体的硬件连接和FPGA部分的软件设计,分析表明该系统在对速度、精度和实时性要求比较高的系统设计中,其具有很强的可操作性和可借鉴性。

参考文献:

- [1] 万军,何宝祥,等.基于CPLD与单片机的高速数据采集系统[J].微计算机信息,2009,25(4-2):225-227.
- [2] 廖日坤.CPLD/FPGA嵌入式应用开发技术白金手册[M].北京:中国电力出版社,2005:18-46.
- [3] 吴继发,王诚.Alterta FPGA/CPLD设计[M].北京:人民邮电出版社,2005:53-88.
- [4] 徐显日,戴在平,蔡灿辉.基于DSP的智能视觉监控系统[J].计算机工程与科学,2009,31(4):40-45.
- [5] 杨春玲,张辉.现代可编程逻辑器件及SOPC应用设计[M].哈尔滨:哈尔滨工业大学出版社,2005:188-206.

Design of High Speed Data Acquisition System Based on FPGA and DSP

YANG Yong-dong, ZENG Qing-li

(College of Physics Science and Information Engineering, Jishou University, Jishou 416000, Hunan China)

Abstract: The design and realization of a high-speed data acquisition system based on FPGA and DSP is introduced in the paper. The FPGA is EPIK50TC144_3 which belongs to ACEX 1K serial and produced by Altera; while the DSP processor is TMS320C6713 which belongs to TMS320 serial produced by TI. The data acquired by ADC is transferred to FPGA, then transferred to DSP after being preprocessed by FPGA and finally to console via the interface of USB. The system's real-time data acquisition rate is up to 100M BYTE/S, so it is applicable to most of the high-speed data acquisition occasions.

Key words: high-speed data acquisition; FPGA; DSP; AD9446

(责任编辑 陈炳权)